



JP2-135421

RECEIVED
NOV 12 2004
Technology Center 2600

(19) Japanese Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin

(11) Patent Application Laid-Open Disclosure No.: Hei 2-135421

(43) Publication Date: May 24, 1990

(51) Int. Cl.⁵

G02F	1/133	575	8708-2H
G09G	3/20	K	6376-5C
	3/36		8621-5C
H04N	5/66	A	7605-5C

Request for Examination: Not made

Number of Claims: 5 (7 Pages in Total)

(54) Title of the Invention: Level display control driving device for matrix display panel

(21) Patent Application No.: Sho 63-291234

(22) Patent Application Date: November 17, 1988

(71) Applicant: Matsushita Electric Co., Ltd.

1006, Oaza Kadoma, Kadoma-shi, Oosaka-fu

(72) Inventor: Takashi TSUKADA

1006, Oaza Kadoma, Kadoma-shi, Oosaka-fu

c/o Matsushita Electric Co., Ltd.

(74) Agent: Attorney Shigetaka AWANO and the other

1. Title of the Invention

Level display control driving device for matrix display panel

2. Scope of Claim

- (1) A level display control driving device for a matrix display panel comprising:
a matrix display panel composed of a capacitive display element in which a data electrode and a scanning electrode is orthogonal each other;
a data-side driver having a pulse width modulation control circuit connected to the data electrode which supplies modulating voltage;
a scanning-side driver connected to the scanning-side electrode which supplies write voltage;
a first time constant compensation circuit which compensates a charging time constant with a compensation coefficient α , corresponding to a scanning-side selective

electrode;

a second time constant compensation circuit which compensates the charging time constant with a compensation coefficient β , corresponding to a number of display data of one scanning period; and

frequency variable circuit which controls a clock frequency of the pulse width modulation control circuit, corresponding to output of the compensation coefficients α and β of the first and the second time constant compensation circuits.

(2) A level display control driving device for a matrix display panel according to Claim 1, wherein the compensation coefficient α of the first time constant compensation circuit is to be an exponential function letting a first of the scanning selective electrode be a maximum value (minimum value) and letting a last thereof be a minimum value (maximum value), and the compensation coefficient β of the second time constant compensation circuit is to be a direct function letting a luminescent display data ratio with respect to a number of total data of one scanning period be a maximum value (minimum value) in 0 and 100% and be a minimum value (maximum value) in 50%.

(3) A level display control driving device for a matrix display panel according to Claim 1, wherein the first time constant compensation circuit is composed of a counter circuit 10 letting a scanning shift signal be input and a ROM 11 in which the compensation coefficient α letting the output thereof be an address signal is memorized; the second time constant compensation circuit is composed of a counter circuit 12 letting a transfer data signal and a data clock signal be input and a ROM 13 in which the compensation coefficient β letting the output thereof be an address signal is memorized; and a frequency variable circuit is composed of a voltage-controlled oscillation circuit (VCO) 15.

(4) A level display control driving device for a matrix display panel according to Claim 1, wherein the first time constant compensation circuit is composed of a counter circuit 10 letting a scanning shift be input and the ROM 11 in which the compensation coefficient α letting the output thereof be an address signal is memorized; the second time constant compensation circuit is composed of the counter circuit 12 letting a transfer data signal and a data clock signal be input and a ROM 13 in which the compensation coefficient β letting the output thereof be an address signal is memorized; and the frequency variable circuit is composed of a counter circuit 23 letting an oscillation circuit 22 and output thereof be a clock signal, and letting the compensation

circuit output be an control signal.

(5) A level display control driving device for a matrix display panel according to Claim 1, wherein the data electrode is a display panel separated into upper and lower of an odd group and an even group, which relates to a clock frequency control of the pulse width modulation control circuit of an odd electrode data-side driver and an even electrode data-side driver, and which the compensation coefficient α of the first time constant compensation circuit is made into a relation of reverse properties with the odd electrode data-side driver and the even electrode data-side driver.

3. Detailed Description of the Invention

Industrial Field of the Invention

The present invention relates to a level control driving device for a matrix display panel constituted of a capacitive display element such as EL (electroluminescence) and PDP (plasma).

Prior Art

A thin film EL display device is exemplified as a matrix display device of a capacitive element. The matrix electrode of the EL display panel is generally constituted of an ITO transparent electrode for a data electrode, and constituted of an aluminum electrode for a scanning electrode. As to respective electrode resistance, since ITO electrode resistance \gg aluminum electrode resistance due to the difference of the materials, the charging time constant of a display element is almost determined by the resistance of the ITO transparent electrode. An equivalent circuit of a load viewed from the data electrode is shown in N-stages continuous π -shape circuit by a resistance r and a capacitor c shown in Figure 7. Here, r corresponds to an ITO electrode resistance per pitch, c corresponds to an EL capacitor per display element, and n corresponds to the number of a scanning electrode.

A transmission characteristic of an output voltage V_o with respect to an input voltage V_i in this equivalent circuit is shown in Figure 8. The relation between an input voltage V_i and an output voltage V_o with respect to a time t is shown in a following equation.

$$V_i/V_o = \delta = (1-4/\pi) \cdot \Sigma a (A \cdot \text{Exp}-(B \cdot T))$$

except Σa : $a = 0 \sim \infty$

$$A = (-1)^a (2a+1) \quad B = (2a+1) \cdot \pi^2/4$$

$$T = t/(nr \cdot nc)$$

$\delta(n, t) \approx 1 - \text{Exp}-(2.0 \sim 2.3)T$ can be obtained by simplifying the above equation.

The more the number of the n-stages increases, the more a time t_n letting n-th be $\delta \approx 1$ (charging rate of 100%) increases. Generally, a pulse width t_p of a drive voltage at a binary display is set at $t_p \geq t_n$ since a charging completion to the furthest point element (n-th) is necessarily assumed as a standard; therefore, driving is carried out not to cause a luminance tilt of an EL display element over the data electrode by setting a charging rate to all elements at 100%.

Problem to be Solved by the Invention

In considering carrying out a level display for a matrix display panel, there are each controlling method of a frequency modulation (hereinafter, referred to as FM) that controls the times of applying a drive pulse voltage, a pulse width modulation (hereinafter, referred to as PWM) that controls a pulse width of a drive pulse voltage, and an amplitude modulation (hereinafter, referred to as AM) that controls an applied voltage of a drive pulse voltage as the driving method. A special driver incorporating these control circuits is necessary for the PWM control and the AM control, and the PWM control driver of which circuit constitution is easy is cheaper.

When a capacitive element such as a thin film EL panel is made a level display by the PWM, the charging time constant for each display element differs. Therefore, due to an unevenness of a charging voltage, a luminance tilt is caused and the level difference is obscured, especially a level display cannot be partially made when the difference of the charging time constants is large and at the time of a multi-levels display. Thus, FM or AM control method that makes a drive panel width t_p a condition of $t_p \geq t_n$ is generally used.

However, the drive pulse width t_p is inevitably determined by the number of the charging time constant to an element, the number of a scanning line and the number of a frame, and the like. Especially, the panel with a high-resolution and a large area are not suitable for a multi-levels display since the FM control method has a time restriction and has limit for the number of a level. In addition, although the AM control method is the best driving method for the capacitive load panel, the AM driver of a high pressure-resistant heavy current type has the problems which are still in a developing level and extremely expensive.

The present invention has been made in view of the problem in such conventional technique, and aims to provide a level display control driving device for an inexpensive capacitive matrix display panel that enables a multi-levels display diminishing a luminance tilt by compensation of the PWM control of the PWM control driver.

Means for Solving the Problem

The present invention is a level display control driving device comprised of: a

capacitive matrix display panel; a data-side driver having a PWM control circuit connected to a data electrode; a scanning-side driver connected to a scanning electrode; a first time constant compensation circuit which compensates a charging time constant, corresponding to a scanning-side selective electrode; a second time constant compensation circuit which compensates a charging time constant, corresponding to the number of display data in one scanning period; and a frequency variable circuit which controls a clock frequency of the PWM control circuit, corresponding to output of the first and the second time constant compensation circuits.

Effect

From the above constitution, in the present invention, in order to compensate an unevenness of a charging voltage due to a charging time constant by a data electrode resistance and each display element capacitor when the PWM control is carried out with the data-side driver incorporating the PWM control circuit, a time constant compensation based on the time constant of the farthest point element is carried out with a first time constant compensation circuit that generates a compensation coefficient α corresponding to the scanning-side selective electrode to the change of a charging time constant with respect to each display element from a nearest point element to the farthest point element from the data-side driver. As well, a time constant is carried out with a second time constant compensation circuit that generates a compensation coefficient β to the change of a charging time related to the number of display data of one period, letting the output signal of the frequency variable circuit that is controlled with the compensation coefficients α and β of the first and the second time constant compensation circuits be a clock signal of the PWM control circuit. Therefore, the charging voltage with respect to each element becomes even and a luminance tilt taken along the data electrode is diminished by carrying out a variable control to a pulse width of PWM control output, corresponding to the scanning-side selective electrode and the number of display data so that the width gets narrower than that of a standard value.

Embodiment

Embodiments of the present invention is described hereinafter with reference to the drawings.

Figure 1 is a drawing showing a block view of a level display control driving device for a matrix display panel in Embodiment 1. In Figure 1, 1 denotes an EL display panel of a X-Y matrix electrode structure that uses EL as a display element, 2 denotes a data electrode of the EL display panel 1, 3 denotes a scanning electrode of the EL display panel 1, 4 denotes a data-side driver constituted of a pulse width modulation control circuit 5 (hereinafter, a pulse width modulation control is referred to as PWM

control) and a push-pull type drivers 6, 7 denotes a scanning-side driver, 8 denotes a write pulse generation circuit for supplying a write pulse to a display element by interposing the scanning-side driver therebetween, and 9 denotes a clock frequency variable circuit for controlling the PWM control circuit 5. Note that, as shown in Figure 2, the PWM control circuit 5 of the data-side driver 4 is constituted of a shift register circuit 16 that transfers a data signal with a clock signal CK1, a latch circuit 17 that memorizes output thereof for one scanning period, a pulse counter circuit 18 that counts a clock signal CK2 for a PWM control, and a pulse width selector circuit 19 that selects output of the pulse counter circuit 18 by corresponding to the content of the data signal. For example, 4 bit for D0 ~ D3 is necessary for a data signal and 4 bit of pulse counter circuit output is necessary in order to carry out 16 levels display.

Regarding this embodiment having the above constitution, its operation is described with reference to Figure 3 and Figure 4. Output of the data-side driver 4 is connected to the data electrode 2 of 1 ~ m, and output of the scanning-side driver 7 is connected to the scanning electrode 3 of 1 ~ n. EL display elements E11 ~ Emn are interposed at a cross point of each electrode. Usually, modulating voltage Vm that is supplied to the data-side driver 4 and writing voltage Vw that is supplied to the write pulse generation circuit 8 are applied simultaneously to an EL display element. After a line-sequential-scanning is finished, writing voltage Vw and refresh voltage Vr with reverse polarity are applied by the scanning-side driver 7, thereby emitting light twice in a frame. This driving method is referred to as a simultaneous inverting refresh drive.

As shown in Figure 7 and Figure 8, a charging time constant of charging voltage into an EL display element becomes larger as it moves from a nearest point display element Ex1 (x: 1 ~ m) to a farthest point display element Exn against the data-side driver 4. Therefore, a charging voltage difference between a near point display element and a far point display element becomes apparent when a PWM control is carried out, and uniform modulating voltage cannot be supplied to all elements. As a result, a luminance tilt is caused to the direction of a data electrode line.

In order to solve this, in this embodiment, let a signal that carries out a variable control at a compensation value of a charging time constant corresponded to each display element at the clock frequency variable circuit 9 be the clock signal CK2 that determines a pulse width in a PWM control of the data-side driver 4, thereby changing the supplying time of modulating voltage Vm into each display element, keeping charging voltage constant, and uniforming a luminance for the same level display level. Note that, the order of a scanning carries out here a line-sequential scanning, letting a nearest point of the data-side driver 4 be the first and letting a farthest point be n-th.

A block diagram of the clock frequency variable circuit 9 is shown in Figure 3. In this circuit, it is compensated against each display element by two systems of a time constant compensation circuit, which is (1) a first time constant compensation circuit 20 that compensates a charging time constant which is determined by a data electrode resistance r and a display element capacitance c corresponding to a scanning-side selective electrode and (2) a second time constant compensation circuit 21 that compensates a charging time constant corresponding to the number of display data of one scanning period.

The first time constant compensation circuit 20 is constituted of a counter circuit 10 and a ROM 11. In order to carry out a line-sequential scanning, a scanning-side shift signal CKS is counted with the counter circuit 10 and sent to the ROM 11 letting count output synchronized with the selective electrode be an address signal. In the ROM 11, a compensation coefficient α given beforehand corresponding to the address signal is outputted. In the compensation coefficient α of the ROM 11, the selective electrode is a maximum value in the first and a minimum value in the n -th of the scanning line such as shown in a solid line of Figure 4(a). Letting a function be $f(\alpha)$, the compensation coefficient α takes a value of an exponential function such shown in a reverse property $\delta(n, t)$.

The second time constant compensation circuit 21 is constituted of a counter circuit 12 and a ROM 13. While corresponding a transfer data signal D_i of display information data to a data clock signal CKD, the number of display (light-emitting or non light-emitting) data in one scanning period is counted with the counter circuit 12, of which output is sent to the ROM 13 that is taken as an address signal. In the ROM 13, a compensation coefficient β given beforehand corresponding to a display ratio obtained by the address signal is outputted. Briefly describing influence of a charging time constant with respect to a display ratio, the charging time constant with respect to the display ratio takes a value of a linear function that a minimum value is in a display ratio of 0.100% and a maximum value (double of the minimum value) is in a display ratio of 50% since a charging loop is formed between a selective electrode and a non-selective electrode of the data electrode 2 on the scanning-side selective electrode line due to a constitution of a matrix electrode that is capacitively-coupled. Therefore, the compensation coefficient β of the second time constant compensation circuit 13 [sic] is a value of function with a reverse property that a maximum value in a display ratio of 0.100% and a minimum value in a display ratio of 50% such as shown in Figure 4(b). These compensation coefficients α and β can be obtained from a panel specification; therefore, it may be memorized beforehand to a memory.

The output of the compensation coefficients α and β from the ROMs 11 and 13 is added with an adder 14 and thereafter operated as a control voltage of a voltage-controlled oscillator circuit (VCO) 15 through a D/A converter 22. Then, VCO output is provided as the clock signal CK2 of the pulse counter circuit 18 in the PWM control circuit. An oscillation frequency of the voltage-controlled oscillator circuit 15 is to be changed in proportion to the control voltage. Therefore, the bigger the compensation coefficient is, the higher the frequency is; and the smaller the compensation coefficient is, the lower the frequency is. Note that, the output of the compensation coefficients α and β from the ROMs 11 and 13 changes in every one scanning period as can be seen from the above operation.

On the other hand, the counter circuit 18 is the output that counts the clock signal CK2; therefore, its output pulse width is inverse proportion to the frequency of the clock signal CK2, and the bigger the compensation coefficient is, the narrower the width is; and the smaller the compensation coefficient is, the wider the width is. A standard frequency of the clock signal CK2 is set at a minimum value (the scanning-side selective electrode is n-th and the display ratio is 50%) of the compensation coefficients α and β . According to this setting, the frequency of the clock signal CK2 gets higher and the output pulse width of the pulse counter circuit 18 gets narrower in each compensation of the compensation coefficient α with respect to the first ~ the n-1 th of the scanning-side selective electrode and the compensation coefficient β with respect to the display ratio of $\approx 50\%$.

Due to such control, the operational state is normalized in a state that the scanning-side electrode at the time of a standard frequency is n-th and a display ratio is 50%. Accordingly, the more a display element has a small charging time constant, the more a modulating voltage V_m of a pulse width with narrower width than a standard is applied. As a result, a modulating voltage corresponding to a designated level is uniformly charged to each display element in spite of the big or small of a charging time constant; therefore, a luminance tilt can be prevented.

Figure 5 is a block diagram of other constitution of the clock frequency variable circuit 9. The difference with Figure 3 is a constitution of a variable frequency oscillation circuit that is used as the clock signal CK2 of the pulse counter circuit 18, which here the number of a count with respect to an oscillation output signal of a counter circuit 24 by output of the adder 14 is controlled as well as an oscillation output signal of an oscillation circuit 23 is inputted to the counter circuit 24. Therefore, a pulse output interval of the counter circuit 24 is changed to be the clock signal CK2 of the pulse counter circuit 18. In this constitution, control can be made with a digital

signal processing; therefore, the need of the D/A converter 22 shown in Figure 3 is eliminated. Note that, supposing that the data clock signal CKD is a much higher frequency than one scanning period frequency, it may be used instead of the oscillation output signal of the oscillation circuit 23.

Figure 6 is a block diagram of a level display control device for a matrix display panel, which is the case of the EL display panel 1 that the data electrode 2 is divided into upper and lower of an odd data electrode 2a and an even data electrode 2b. Note that, the scanning-side driver 7, the write pulse generation circuit 8, and the like that are connected to the scanning electrode 3 are abbreviated in this figure. An odd electrode data-side driver 4a is connected to the odd data electrode 2a and an even electrode data-side driver 4b is connected to the even data electrode 2b. As the scanning order of the scanning electrode 3, the side of the odd electrode data-side driver 4a is taken as the first and the side of the even electrode data-side driver 4b is taken as the n-th.

In such constitution, the compensation coefficient β of a charging time constant corresponding to a display ratio of the scanning-side selective electrode is as same as Embodiment 1. However, a time coefficient in a direction to the data electrode with respect to the scanning-side selective electrode has totally reverse property between the odd data electrode 2a and the even data electrode 2b on the boarder of a selective electrode (center) of $n/2$ th. Therefore, the compensation coefficient α that compensates a charging time constant of in the direction to the data electrode has necessity to have a compensation property of αa (solid line) and αb (broken line) letting the $n/2$ th as shown in Figure 4(a) as well as the above be a line symmetry in the odd data electrode 2a and the even data electrode 2b.

Therefore, as well as Embodiment 1, a luminance tilt is compensated in the entire display panel by controlling the clock frequency variable circuit of two systems: as for the odd electrode data-side driver 4a, letting output of a voltage-controlled oscillation circuit 15a that controlled the compensation coefficient αa outputted from a first time constant compensation circuit 20a and the compensation coefficient β outputted from the second time constant compensation circuit 21 by interposing an adder 14a therebetween be a clock signal CK2a; and as for the even electrode data-side driver, letting a voltage-controlled oscillation circuit 15b that controlled the compensation coefficient αb outputted from a first time constant compensation circuit 20b and the compensation coefficient β outputted from the second time constant compensation circuit by interposing an adder 14b therebetween be a clock signal CK2b.

As mentioned above, the PWM control clock frequency of the PWM control data-side driver is controlled with the compensation coefficient α of a charging time

constant of the data electrode corresponded to the scanning-side selective electrode of the display element and the compensation coefficient β of a charging time constant corresponded to the number of display data of one scanning period. Therefore, a luminance tilt due to the charging time constant can be prevented, which a multi-levels display is made possible. The compensation coefficients α and β are not limited to the properties shown in Figures 4(a) and 4(b), but necessary to be the reverse properties according to the properties of the frequency variable circuit. Furthermore, a simultaneous inverting refresh drive is described as a method for driving a thin film EL display panel; however, it is not limited thereto, but other driving methods such as flame reversal drive may be also used. Note that, although the thin film EL display panel is described in this embodiment, it is needless to say that a matrix display panel composed of a capacitive load such as a PDP is also acceptable.

Effect of the Invention

As mentioned above, according to the present invention, the clock frequency of the PWM control circuit is controlled using the data-side driver incorporating the PWM control circuit with the compensation circuit in driving a capacitive matrix display panel so that a luminance tilt is eliminated. Therefore, apparently, voltage equal to AM controlling method is applied to a display element so that a multi-levels display can be realized easily in a low cost, of which an impractical effect is large.

4. Brief Description of the Drawings

Figure 1 is a block diagram of a level display control driving device for a matrix display panel in Embodiment 1 of the present invention. Figure 2 is a block diagram of a data-side driver incorporating a PWM control circuit in this embodiment. Figure 3 is a block diagram of a clock frequency variable circuit that controls a clock frequency of the PWM control circuit in this embodiment. Figure 4 is a characteristic graph of compensation coefficients α and β of a time constant compensation circuit of the clock frequency variable circuit in this embodiment. Figure 5 is a block diagram of other constitution of the clock frequency variable circuit. Figure 6 is a block diagram of a level display control device for a matrix display panel in Embodiment 2. Figure 7 is an N-stages continuous π -shape circuit diagram that is an equivalent circuit of a capacitive matrix display panel. Figure 8 is a transmission characteristic graph of the N-stages continuous π -shape circuit.

1 EL display panel

4 Data-side driver

5 Pulse Width Modulation control circuit

- 9 Clock frequency variable circuit
- 10, 12 Counter circuit
- 11, 13 ROM
- 15 Voltage-controlled oscillator circuit
- 20 First time constant compensation circuit
- 21 Second time constant compensation circuit



DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

008318002 **Image available**

WPI Acc No: 1990-205003/199027

Gradation control unit for matrix display panel - controls clock
frequency of pulse width modulation circuit contained in data side driver
to eliminate gradation slant NoAbstract Dwg 1/8

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2135421	A	19900524	JP 88291234	A	19881117	199027 B

Priority Applications (No Type Date): JP 88291234 A 19881117

Title Terms: GRADATION; CONTROL; UNIT; MATRIX; DISPLAY; PANEL; CONTROL;
CLOCK; FREQUENCY; PULSE; WIDTH; MODULATE; CONTAIN; DATA; SIDE;
DRIVE; ELIMINATE; GRADATION; SLANT; NOABSTRACT; CIRCUIT

Index Terms/Additional Words: LIQUID; CRYSTAL; LCD

Derwent Class: P81; P85; T04; U14; W03

International Patent Class (Additional): G02F-001/13; G09G-003/20;

H04N-005/66

File Segment: EPI; EngPI

RECEIVED
NOV 12 2004
Technology Center 2600

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03159921 **Image available**

MULTILEVEL DISPLAY CONTROL DRIVING DEVICE FOR MATRIX DISPLAY PANEL

PUB. NO.: 02-135421 [JP 2135421 A]

PUBLISHED: May 24, 1990 (19900524)

INVENTOR(s): TSUKADA TAKASHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 63-291234 [JP 88291234]

FILED: November 17, 1988 (19881117)

INTL CLASS: [5] G02F-001/133; G09G-003/20; G09G-003/36; H04N-005/66

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS - Optical Equipment); 44.6
(COMMUNICATION - Television); 44.9 (COMMUNICATION - Other)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1089, Vol. 14, No. 366, Pg. 123,
August 08, 1990 (19900808)

ABSTRACT

PURPOSE: To easily and inexpensively perform multilevel displays by controlling the clock frequency of a pulse width modulation (PWM) control circuit with a compensation circuit by using a data-side driver incorporating the PWM control circuit.

CONSTITUTION: The clock signal CK(sub 2) which decides the pulse width used by a data-side driver 4 for making PWM control is variably controlled at a clock frequency change circuit 9 with the compensating value of a charging time constant corresponding to each display element. In other words, outputs of compensating factors .alpha. and .beta. from ROMs 11 and 13 operate as the control voltage of a voltage-controlled oscillation circuit (VCO) 15 after the sum of the outputs is taken by an adder 14 and the output of the VCO 15 is supplied to a PWM control circuit 5 as signals CK(sub 2). On the other hand, the pulse width of the output of a counter circuit 18 is inverse proportion to the frequency of the signals CK(sub 2) and becomes narrower or wider as the compensating factors become larger or smaller, since the output of the circuit 18 is produced by counting the signals CK(sub 2). Therefore, the charging time is fixed and luminance is uniformized by changing the supplying time of modulating voltages to each display element against the same multilevel displaying level.

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

平2-135421

⑮ Int. Cl.

識別記号

庁内整理番号

⑰ 公開 平成2年(1990)5月24日

G 02 F 1/133

5 7 5

8708-2H

G 09 G 3/20

K

6376-5C

H 04 N 3/36

A

8621-5C

H 04 N 5/68

7605-5C

審査請求 未請求 請求項の数 5 (全7頁)

⑱ 発明の名称 マトリックス表示パネルの階調表示制御駆動装置

⑲ 特 願 昭63-291234

⑳ 出 願 昭63(1988)11月17日

㉑ 発 明 者 塚 田 敬 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ㉒ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ㉓ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

マトリックス表示パネルの階調表示制御駆動装置

2. 特許請求の範囲

(1) データ電極と走査電極が直交した容量性表示素子からなるマトリックス表示パネルと、変調電圧を供給するデータ電極に接続されたパルス幅変調制御回路を有するデータ側ドライバと、書き込み電圧を供給する走査側電極に接続された走査側ドライバと、走査側選択電極に対応して充電時定数を補償係数 α で補償する第1時定数補償回路と、一走査期間の表示データ数に対応して充電時定数を補償係数 β で補償する第2時定数補償回路と、前記第1・第2時定数補償回路の補償係数 $\alpha \cdot \beta$ 出力に対応して前記パルス幅変調制御回路のクロック周波数を制御する周波数可変回路を備えたことを特徴とするマトリックス表示パネルの階調表示制御駆動装置。

(2) 第1時定数補償回路の補償係数 α は走査選択電極の第1番目を最大値(最小値)、最終番目を

最小値(最大値)とする階数関数とし、第2時定数補償回路の補償係数 β は一走査期間の表示データ数に対する発光表示データ数比率が0及び100%で最大値(最小値)、50%で最小値(最大値)となる一次関数としたことを特徴とする請求項1記載のマトリックス表示パネルの階調表示制御駆動装置。

(3) 第1時定数補償回路は走査シフト信号を入力とするカウンタ回路10と、その出力をアドレス信号とする補償係数 α がメモリされたROM11で構成し、第2時定数補償回路は転送データ信号とデータクロック信号を入力とするカウンタ回路12と、その出力をアドレス信号とする補償係数 β がメモリされたROM13で構成し、周波数可変回路は電圧制御発信回路(VCO)15で構成したことを特徴とする請求項1記載のマトリックス表示の階調表示制御駆動装置。

(4) 第1時定数補償回路は走査シフト信号を入力とするカウンタ回路10と、その出力をアドレス信号とする補償係数 α がメモリされたROM11で構成し、第2時定数補償回路は転送データ信号

特開平2-135421(2)

とデータクロック信号を人力とするカウンタ回路12と、その出力をアドレス信号とする補償係数 β がメモリされたROM13で構成し、周波数可変回路は発振回路22と、その出力をクロック信号、前記補償回路出力を制御信号としたカウンタ回路23で構成したことを特徴とする請求項1記載のマトリックス表示の階調表示制御装置。

(5)データ電極が奇数群と偶数群の上下に分割された表示パネルであって、奇数電極データ側ドライバと偶数電極データ側ドライバのバルス幅変調制御回路のクロック周波数制御に関し、前記奇数電極データ側ドライバと前記偶数電極データ側ドライバとで前記第1時定数補償回路の補償係数 α を逆特性の関係にしたことを特徴とする請求項1記載のマトリックス表示の階調表示制御装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、EL(Electro Luminescence)、PDP(Plasma Display)等の容量性表示素子で構成されたマトリックス表示パネルの階調制御駆動装置に関するものである。

$$T=t/(n\tau-nc)$$

上式を簡易化すると $\delta(n,t) \approx 1 - \exp(-(2.0 \sim 2.3)T)$ となる。

段数 n が増えるほど n thの δ が1(充電率100%)となる時間 t_n は増大する。通常、2値表示における駆動電圧のバルス幅 t_p は最速素子(n th)への充電完了を基準とする必要があるので $t_p \geq t_n$ とすることにより全素子への充電率を100%にしてデータ電極上のEL表示素子の輝度傾斜が発生しないようにして駆動される。

発明が解決しようとする課題

マトリックス表示パネルの階調表示を行なうことを考えた場合、その駆動方法として駆動バルス電圧の印加回数を制御する周波数変調(以下、FMと称す。)、駆動バルス電圧のバルス幅を制御するバルス幅変調(以下、PWMと称す。)、駆動バルス電圧の印加電圧を制御する振幅変調(以下、AMと称す。)の各制御法がある。PWM制御及びAM制御には、これらの制御回路を内蔵した専用のドライバが必要であり回路構成の簡単なPWM制御用ドライバのほうが安価

従来の技術

容量性表示素子のマトリックス表示装置として薄膜EL表示装置を例にとって述べる。EL表示パネルのマトリックス電極は、一般にデータ電極はITO透明電極、走査電極はアルミ電極で構成されている。各電極抵抗値は材料の違いによりITO電極抵抗 \gg アルミ電極抵抗となるので表示素子への充電時定数は、殆どITO透明電極抵抗値で決まってしまう。データ電極側から見た負荷の等価回路は第7図に示すような抵抗 r と容量 c によるN段連続 π 形回路で示される。ここで r は1ピッチ当りのITO電極抵抗、 c は1表示素子当りのEL容量そして n は走査電極数に相当する。

この等価回路における入力電圧 V_i に対する出力電圧 V_o の伝達特性が第8図である。時間 t に対する入力電圧 V_i と出力電圧 V_o の関係は、次式で示される。

$$V_i/V_o = \delta = (1 - 4/\pi) \cdot \sum a(A \cdot \exp(-B \cdot T))$$

但し $\sum a: a = 0 \sim \infty$

$$A = (-1)^n / (2n+1) \quad B = (2n+1) \cdot \pi^2 / 4$$

である。

薄膜ELパネルのような容量性素子をPWM制御法で階調表示させた場合、各表示素子の充電時定数が異なるため充電電圧の不均一で輝度傾斜を生じ階調差が分かりにくくなり、特に充電時定数差が大きい時や多階調表示の時には部分的に階調表示ができなくなってしまう。それ故、一般に駆動バルス幅 t_p を $t_p \geq t_n$ の条件としたFMまたはAM制御法が用いられる。

ところで駆動バルス幅 t_p は素子への充電時定数、走査電極数およびフレーム数などにより必然的に決ってしまう。特に高解像度化や大面積化をはかったパネルにおいては、FM制御法は時間的制約で階調数に限度があり多階調表示には向かない。又、AM制御法は容量性負荷パネルにとって最良の駆動法と言えが、高耐圧大電流タイプのAM制御用ドライバはまだ開発レベルで非常に高価であるという問題点を有していた。

本発明はかかる従来の技術の課題にかえり、

PWM制御用ドライバのPWM制御の補償により輝度傾

特開平2-135421 (3)

料をなくして多階調表示を可能にした安価な容量性マトリックス表示パネルの階調表示制御駆動装置を提供することを目的とする。

問題を解決するための手段

本発明は、容量性マトリックス表示パネルと、データ電極に接続されたPVH制御回路を有するデータ側ドライバと、走査電極に接続された走査側ドライバと、走査側選択電極に対応して充電時定数を補償する第1時定数補償回路と、一走査期間の表示データ数に対応して充電時定数を補償する第2時定数補償回路と、前記第1・第2時定数補償回路の出力に対応して前記PVH制御回路のクロック周波数を制御する周波数可変回路を備えたマトリックス表示パネルの階調表示制御駆動装置である。

作用

本発明は前記した構成により、PVH制御回路を内蔵したデータ側ドライバでPVH制御した場合のデータ電極抵抗と各表示素子容量とによる充電時定数に起因した充電電圧の不均一を補償するために、データ側ドライバからの最近点素子から最遠点素

子までの各表示素子に対する充電時定数の変化を走査側選択電極に対応した補償係数 α を発生する第1時定数補償回路で前記最近点素子の時定数を基準とした時定数補償を行うと共に一走査期間の表示データ数に関係した充電時定数の変化を補償係数 β を発生する第2時定数補償回路で時定数補償を行い、前記第1・第2時定数補償回路の補償係数 $\alpha \cdot \beta$ で制御された周波数可変回路の出力信号を前記PVH制御回路のクロック信号とし、走査側選択電極及び表示データ数に対応してPVH制御出力のバルス幅を標準値よりも狭く可変制御することにより各素子に対する充電電圧が均一となりデータ電極ラインに沿った輝度傾斜をなくすることができる。

実施例

以下に、本発明の実施例を図面に基づいて説明する。

第1図は本発明の第1の実施例におけるマトリックス表示パネルの階調表示制御駆動装置のブロック図を示すものである。第1図において、1は表示素子にELを使用したX-Yマトリックス電極構成

のEL表示パネル、2はEL表示パネル1のデータ電極、3はEL表示パネル1の走査電極、4はバルス幅変調制御回路5(以下、バルス幅変調制御はPVH制御と称す)及びプッシュプル型ドライバ6とで構成されるデータ側ドライバ、7は走査側ドライバ、8は走査側ドライバ7を介して表示素子に書き込みバルスを供給するための書き込みバルス発生回路、9はPVH制御回路5を制御するためのクロック周波数可変回路である。尚、データ側ドライバ4のPVH制御回路5は第2図に示すようにクロック信号CK1でデータ信号を転送するシフトレジスタ回路16、その出力を一走査期間メモリさせるラッチ回路17、PVH制御をするためにクロック信号CK2をカウントするバルスカウンタ回路18、そしてデータ信号内容に対応してバルスカウンタ回路18の出力を選択するバルス幅セレクタ回路19とで構成される。例えば、16階調表示を行うにはデータ信号として00~03の4bit及びバルスカウンタ回路出力が4bit必要である。

以上のように構成された本実施例について、第

3図及び第4図に基づいてその動作を説明する。データ側ドライバ4の出力は1~mのデータ電極2に接続され、走査側ドライバ7の出力は1~nの走査電極3に接続されている。各電極の交点にはEL表示素子 $E_{11} \sim E_{mn}$ が存在する。通常はEL表示素子に対しデータ側ドライバ4に供給される変調電圧 V_m と書き込みバルス発生回路8に供給される書き込み電圧 $-V_w$ とが同時に印加されて連続走査を終了後、書き込み電圧 $-V_w$ と逆極性のリフレッシュ電圧 V_r を走査側ドライバ7より印加することにより1フレームに2回発光させる。この駆動方法は一斉反転リフレッシュ駆動と呼ばれている。

第7図及び第8図で示したようにEL表示素子への充電電圧はデータ側ドライバ4に対して最近点表示素子 E_{x1} (但し $x:1 \sim m$)から最遠点表示素子 E_{xn} に向かうほど充電時定数が大きくなるのでPVH制御を行うと近点表示素子と遠点表示素子との充電電圧差が顕著になり、全素子に対して均一な変調電圧を供給することができず、結果としてデータ電極ライン方向に輝度傾斜が生じてしまう。

特開平2-135421 (4)

この解決のために、本実施例ではデータ側ドライバ4のPVM制御におけるパルス幅を決定するクロック信号CK2について、クロック周波数可変回路8にて各表示素子に対応した充電時定数の補償値で可変制御した信号をクロック信号CK2とすることにより同一階調表示レベルに対して各表示素子への変調電圧 V_m の供給時間を変えて充電電圧を一定にし輝度の均一化を図っている。尚、ここでは走査順序はデータ側ドライバ4の最近点を1番目、最遠点を n 番目として逐順次走査を行うものとする。

第3図にクロック周波数可変回路9のブロック図を示す。この回路では、各表示素子に対して(1)走査側選択電極に対応してデータ電極抵抗 r と表示素子容量 c で決まる充電時定数を補償する第1時定数補償回路20と(2)一走査期間の表示データ数に対応して充電時定数を補償する第2時定数補償回路21の2系統の時定数補償回路により補償が行われる。

第1時定数補償回路20は、カウンタ回路10とROM11で構成され、逐順次走査を行うため

タ電極2の選択電極と非選択電極間で充電ループを形成するため表示率が0、100%で最小値、50%で最大値(最小値の2倍)の一次関数の値をとる。そのため第2時定数補償回路13の補償係数 β は、第4図(b)に示すような表示比率が0、100%で最大値、50%で最小値とした逆特性の一次関数の値である。これら補償係数 α 、 β はパネル仕様から求めることができるのでメモリに予め記憶させておけばよい。

ROM11、13からの補償係数 $\alpha \cdot \beta$ の出力は加算器14で加算した後、D/A変換回路22をへて電圧制御発振回路(VCO)15の制御電圧として動作させる。そしてVCO出力は、PVM制御回路5におけるパルスカウンタ回路18のクロック信号CK2として供給する。電圧制御発振回路15の発振周波数は、制御電圧に比例して変化するものとする。それ故、補償係数が大きいほど高い周波数、小さいほど低い周波数になる。尚、ROM11、13からの補償係数 $\alpha \cdot \beta$ の出力は、上記した動作からもわかるように一走査期間毎に変化する。

の走査側シフト信号CKSをカウンタ回路10でカウントし、選択電極と同期したカウント出力をアドレス信号としたROM11に送る。ROM11では、アドレス信号に対応して予め設定された補償係数 α が出力される。ROM11の補償係数 α は、第4図(a)の実線で示すような走査ラインに対して選択電極が第1番目で最大値、第 n 番目で最小値となり、関数を $f(\alpha)$ とすれば前記 $\delta(n, l)$ の逆特性で示されるような指数関数の値をとる。

第2時定数補償回路21は、カウンタ回路12とROM13で構成され、表示情報データの転送データ信号DIをデータクロック信号CKDと対応させながらカウンタ回路12により一走査期間中の表示(発光または非発光)データ数をカウントし、その出力をアドレス信号とするROM13に送る。ROM13ではアドレス信号により得られる表示比率に対応して予め設定された補償係数 β が出力される。表示比率に対する充電時定数の影響を簡単に述べると、容量結合されたマトリックス電極構成により走査側選択電極ライン上におけるデー

一方、カウンタ回路18はクロック信号CK2をカウントした出力なので、その出力パルス幅はクロック信号CK2の周波数に反比例し補償係数が大きいほど狭く、補償係数が小さいほど広がる。クロック信号CK2の標準周波数は、補償係数 $\alpha \cdot \beta$ が最小値(走査側選択電極が第 n 番目でかつ表示比率が50%)に設定される。この設定により走査側選択電極が第1〜第 $n-1$ 番目に対して補償係数 α 、表示比率が $\neq 50\%$ に対して補償係数 β の各補償でクロック信号CK2の周波数が高くなり、パルスカウンタ回路18の出力パルス幅は狭くなる。

このような制御によって動作状態を前記したような標準周波数時の走査側電極が第 n 番目でかつ表示比率が50%の状態に正規化される。これによって充電時定数の小さい表示素子ほど標準より狭いパルス幅の変調電圧 V_m が印加され、結果として充電時定数の大小と無関係に各表示素子には設定された階調レベルに相当する変調電圧 V_m' が均一に充電され、輝度傾斜をなくすることができる。

第5図はクロック周波数可変回路9の他の構成

特開平2-135421 (5)

ブロック図である。第3図との相違はパルスカウンタ回路18のクロック信号CK2として使う可変周波数発振回路の構成で、ここでは発振回路23の発振出力信号とカウンタ回路24に入力すると共に、加算器14の出力でカウンタ回路24の発振出力信号に対するカウント数を制御することによってカウンタ回路24のパルス出力間隔を変化させパルスカウンタ回路18のクロック信号CK2としたものである。この構成では、ディジタル信号処理で制御できるので第3図に示すD/A変換回路22が不要となる。尚、データクロック信号CKDが、一定走査期間周波数よりも十分に高い周波数であるならば発振回路23の発振出力信号の代わりに利用してもよい。

第6図は、本発明の第2の実施例を示すマトリックス表示パネルの階調表示制御装置のブロック図であり、データ電極2が奇数データ電極2aと偶数データ電極2bの上下に2分割されたEL表示パネル1の場合である。尚、この図では走査電極3に接続される走査側ドライバ7や書き込みパルス発

生回路8等は省略している。奇数データ電極2aに奇数電極データ側ドライバ4a、偶数データ電極2bに偶数電極データ側ドライバ4bが接続されている。走査電極3の走査順序は、奇数電極データ側ドライバ4a側を第1番目、偶数電極データ側ドライバ4b側を第n番目とする。

このような構成においては、走査側走査電極の表示比率に対応した充電時定数の補償係数 β に関しては第1の実施例と同様であるが、走査側走査電極に対するデータ電極方向の時定数に関しては第n/2番目走査電極(中央)を境にして奇数データ電極2aと偶数データ電極2bでは正反対の特性になる。そのためデータ電極方向の充電時定数を補償する補償係数 α は、奇数電極データ側ドライバ2aと偶数電極データ側ドライバ2bとでは前記同様第4図(a)に示すような第n/2番目を線対称とする αa (実線)、 αb (破線)の補償特性にする必要がある。

それ故、奇数電極データ側ドライバ4aに対しては、第1時定数補償回路20aで出力された補償係

数 αa と第2時定数補償回路21で出力された補償係数 β を加算器14aを介して制御した電圧制御発振回路15aの出力をクロック信号CK2aとし、偶数電極データ側ドライバに対しては第1時定数補償回路20bで出力された補償係数 αb と第2時定数補償回路21で出力された補償係数 β を加算器14bを介して制御した電圧制御発振回路15bの出力をクロック信号CK2bとする2系統のクロック周波数可変回路の制御により、第1の実施例と同様に輝度傾斜が表示パネル全体で補償される。

以上のように、表示素子の走査側走査電極に対応したデータ電極の充電時定数の補償係数 α と一定走査期間の表示データ数に対応した充電時定数の補償係数 β でPVM制御用データ側ドライバのPVM制御クロック周波数を制御することにより充電時定数に起因した輝度傾斜をなくし多階調表示を可能にするものである。補償係数 $\alpha \cdot \beta$ は、第4図(a)、(b)で示す特性に限定されることなく周波数可変回路の特性によっては逆特性にする必要がある。又、薄膜EL表示パネルの駆動法として一斉反

転リフレッシュ駆動法にて述べたが、これに限らずフレーム反転駆動法など他の駆動法であっても何等差し支えない。尚、本実施例では薄膜EL表示パネルについて述べたがPDP等、容量性負荷からなるマトリックス表示パネルであれば有効であることは言うまでもない。

発明の効果

以上説明したように、本発明によれば、容量性マトリックス表示パネルの駆動に際してPVM制御回路を内蔵したデータ側ドライバを使用してPVM制御回路のクロック周波数を補償回路で制御することにより輝度傾斜をなくし見かけ上、表示素子にはAM制御法と同等な電圧が印加され多階調表示を容易に、かつ低コストで実現することができ、その実用効果は大きい。

4. 図面の簡単な説明

第1図は本発明の第1の実施例におけるマトリックス表示パネルの階調表示制御駆動装置のブロック図、第2図は同実施例におけるPVM制御回路を内蔵したデータ側ドライバのブロック図、第

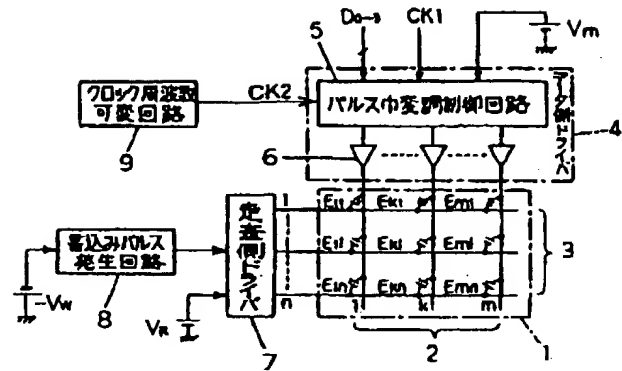
特開平2-135421 (6)

3図は同実施例におけるPWM制御回路のクロック周波数を制御するクロック周波数可変回路のブロック図、第4図は同実施例におけるクロック周波数可変回路の時定数補償回路の補償係数 $\alpha \cdot \beta$ の特性グラフ、第5図は同実施例におけるクロック周波数可変回路の他の構成のブロック図、第6図は第2の実施例におけるマトリクス表示パネルの階調表示制御装置のブロック図、第7図は容量性マトリクス表示パネルの等価回路であるN段連続 π 形回路図、第8図はN段連続 π 形回路の伝達特性グラフである。

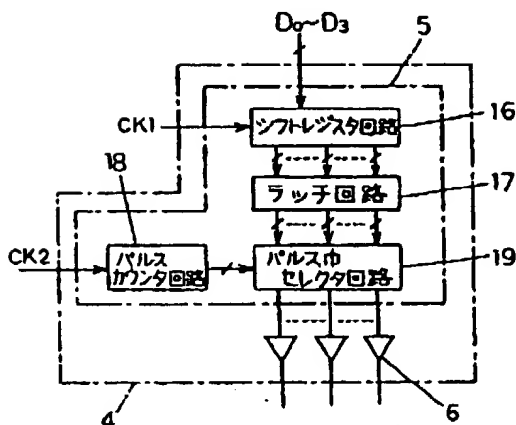
1…EL表示パネル、4…データ駆動ドライバ、5…パルス幅変調制御回路、9…クロック周波数可変回路、10、12…カウンタ回路、11、13…ROM、15…電圧制御発振回路、20…第1時定数補償回路、21…第2時定数補償回路

代理人の氏名 弁理士 栗野重幸ほか1名

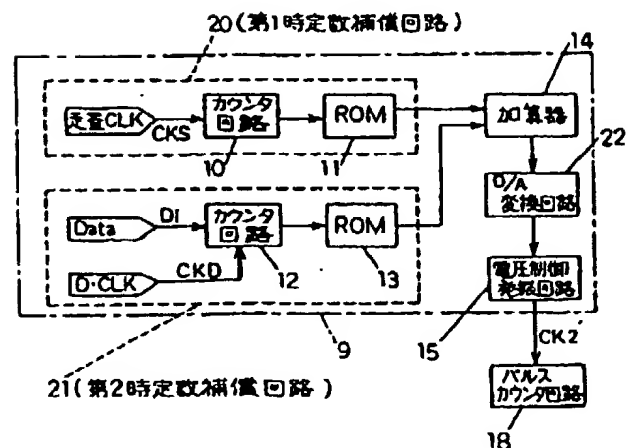
第1図



第2図

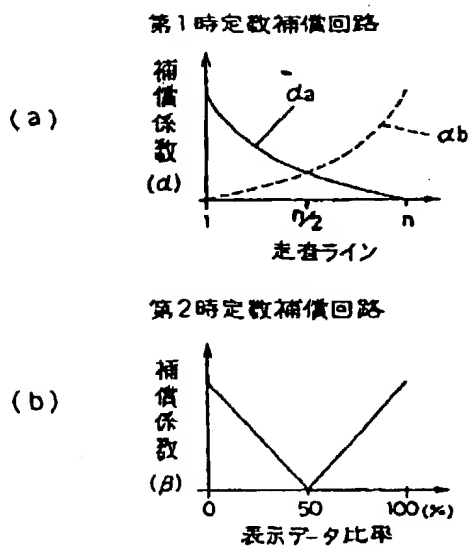


第3図

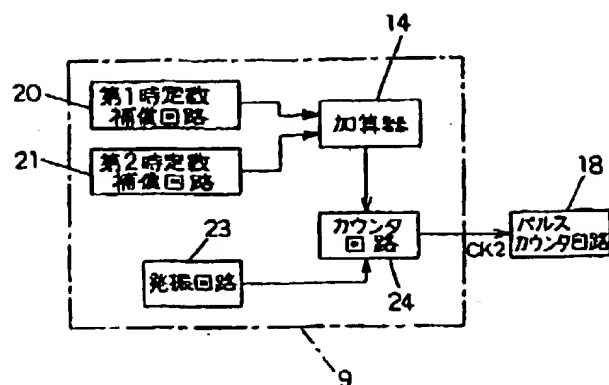


特開平2-135421 (7)

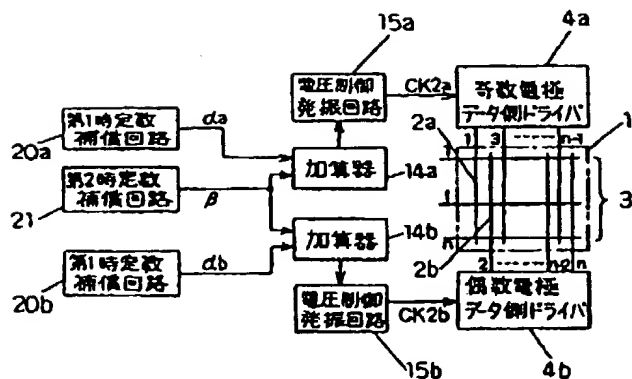
第 4 図



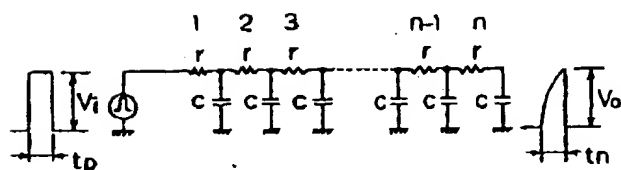
第 5 図



第 6 図



第 7 図



第 8 図

